

ОПЕРАТИВНИ ПЛАН РЕАЛИЗАЦИЈЕ ПРЕДМЕТА

Студијски програм: **СРТ И КОТ**
 Наставни предмет: **ОСНОВИ РАЧУНАРСКЕ ТЕХНИКЕ**

Недеља	Теоријска настава - Предавања		Практична настава			
			Рачунарске вежбе		Практичне вежбе	
	сати	Тема	сати	Тема	сати	Тема
I	2	Увод. Бројевни системи. Позициони системи. Декадни, бинарни и хексадецимални бројевни системи. Конверзија бројевних система.	1	Примери позиционих система	2	Увод у први циклус лабораторијских вежби. Основе Electronics Workbench-a.
II	2	Фрактални бројеви. Бројеви са покретном децималном тачком.	1	Декадни, бинарни и хексадецимални бројевни системи.	2	Electronics Workbench: алат за реализацију прекидачких функција
III	2	Кодови у рачунарским системима. BCD, ASCII, UNICODE.	1	Превођење из једног бројевног система у други.	2	Кутије са компонентама, инструментима и алатима у Electronics Workbench-y.
IV	2	Основне аритметичке операције у бинарном бројевном систему. Непотпуни комплемент. Потпуни комплемент.	1	Основне аритметичке операције у различитим бројевним системима.	2	Реализација ДеМорганових образаца и правила у Electronics Workbench-y.
V	2	Булова и прекидачка алгебра. Дефиниција Булове алгебре. Закони и правила. Де Морганова теорема.	1	Примена Булове алгебре и ДеМорганових правила. Реализација логичких функција логичким колима.	2	Реализација сложене комбинационе логике у Electronics Workbench-y.
VI	2	Основне логичке операције. Комбинациона логика. Минимизација прекидачких функција.	1	Примери минимизације логичких функција. Карнуове мапе. Припрема за Колоквијум.	2	Реализација минимизираних логичких функција логичким колима у Electronics Workbench-y.
VII	2	1. Колоквјум	1	1. Колоквјум	2	1. Колоквјум
VIII	2	Реализација аритметичких функција. Полусабирач и потпуни сабирач.	1	Аналза резултата 1. колоквијума.	2	Реализација минимизације добијене Карнуовим мапама: сума производа или производ суме.
IX	2	Секвенцијална логика.	1	Примена секвенцијалне логике.	2	Реализација полусабирача и потпуног сабирача у Electronics Workbench-y..
X	2	Програмабилна логика	1	Израда програма за програмирање PLD чипова	2	Реализација RS, D i JK flip-flopa
XI	2	Меморије	1	Капацитет меморије и селекција одговарајуће меморијске банке.	2	Реализација бинарног, декадног и хексадецималног бројача.
XII	2	Архитектура рачунарских система.	1	Логичка кола за адресирање и контролу магистрале података.	2	Реализација 7-сефментног декдера за декадни бројач. Тестирање логичких кола за адресирање и контролу магистрале података из Electronics Workbench-a.
XIII	2	Централна процесорска јединица, CPU.	1	Магистрале у микро-рачунарском систему.	2	Тестирање меморијских лемената из кутије Electronics Workbench-a.
XIV	2	Архитектура микропроцесора и микроконтрлера. Спрега микропроцесора са компонентама рачунарског система.	1	Основни сигнали за управљање радом микро-рачунарског система. Припрема за Колоквијум.	2	Кола за претварање паралелне информације у серијску Основни сигнали серијског и паралелног порта
XV	2	2. Колоквијум	1	Аналза резултата 2. колоквијума.	2	2. Колоквијум